

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06151623 A**

(43) Date of publication of application: **31 . 05 . 94**

(51) Int. Cl

H01L 23/04

H01L 23/32

(21) Application number: **04294250**

(71) Applicant: **HITACHI LTD HITACHI TOKYO
ELECTRON CO LTD**

(22) Date of filing: **02 . 11 . 92**

(72) Inventor: **SUZUKI KOJI**

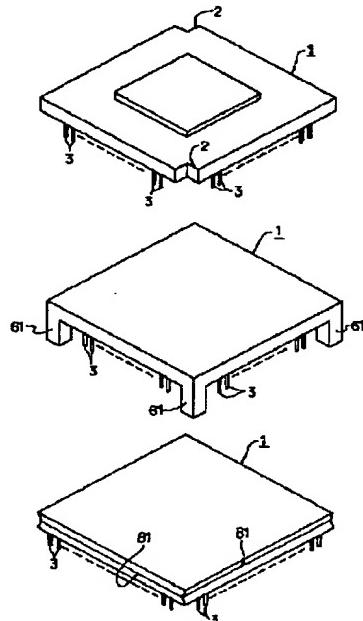
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To improve the accuracy in alignment between a socket and a semiconductor device.

CONSTITUTION: A cut 2 for preventing the dislocation is provided in the specified position of the periphery of the package 1 of a semiconductor device. Moreover, a projection (pin) 61 for prevention of the dislocation is provided at the specified position of the periphery of the package 1 of the semiconductor device. Moreover, a V-shaped groove 81 is provided at the side face of the periphery of the package of the semiconductor device.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-151623

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.⁵
H 01 L 23/04
23/32

識別記号 D
府内整理番号 A

F I

技術表示箇所

審査請求 未請求 請求項の数4(全5頁)

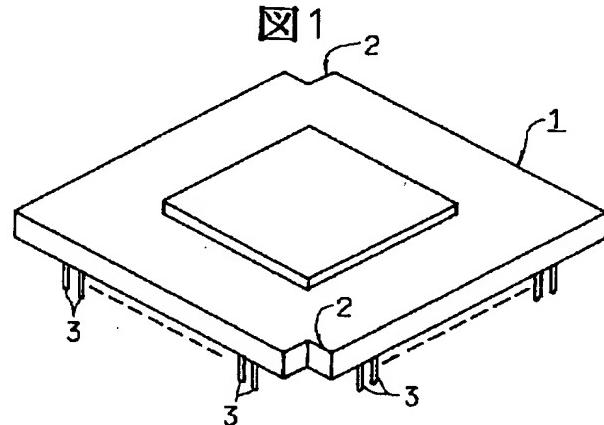
(21)出願番号	特願平4-294250	(71)出願人 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成4年(1992)11月2日	(71)出願人 000233505 日立東京エレクトロニクス株式会社 東京都青梅市藤橋3丁目3番地の2
		(72)発明者 鈴木 耕司 東京都青梅市藤橋3丁目3番地2 日立東京エレクトロニクス株式会社内
		(74)代理人 弁理士 秋田 収喜

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 ソケットと半導体装置との位置合わせ精度を向上させる。

【構成】 半導体装置のパッケージ1の外周辺部の所定位置に位置ずれ防止用切り込み2を設ける。また、半導体装置のパッケージ1の外周辺部の所定位置に位置ずれ防止用突起(ピン)61を設ける。また、半導体装置のパッケージ1の外周辺側面にV型の溝81を設ける。



【特許請求の範囲】

【請求項1】 半導体装置のパッケージの外周辺部の所定位置に位置ずれ防止手段を設けたことを特徴とする半導体装置。

【請求項2】 半導体装置のパッケージの外周辺部の所定位置に位置ずれ防止用切り込みを設けたことを特徴とする半導体装置。

【請求項3】 半導体装置のパッケージの外周辺部の所定位置に位置ずれ防止用突起(ピン)を設けたことを特徴とする半導体装置。

【請求項4】 半導体装置のパッケージの外周辺側面にV型の溝を設けたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置のパッケージに関し、特に、PGA(Pin Grid Array)の特性検査時の位置ずれ防止に適用して有効な技術に関するものである。

【0002】

【従来の技術】 一般的に、電気検査用ソケットは、テストソケットとバーンイン(エージング)ソケットに大別される。なお、テストソケット仕様は、手作業仕様とICテストやアートハンドラに使用される自動化仕様がある。しかし、PGA型半導体装置(製品)においては、製品の普及率が低いため手作業仕様、自動化仕様ソケットの開発は遅れている。

【0003】 近年のPGA用テストソケットは多ピン化が進んでいるため、ピンの挿入精度が重要となってくる。これは、ソケットとパッケージとの接触を得るために配列された各コンタクトの接触位置に、これに対応するリードピンを確実に位置決めしなければならないということである。

【0004】

【発明が解決しようとする課題】 本発明者は、前記従来技術を検討した結果、以下の問題点を見い出した。

【0005】 多ピン化によるパッケージの大型化も考えられ、量産工場においては運搬効率が低下する。

【0006】 また、従来のPGAでは、重ね合わせ運搬ができないため多ピン製品の収納効率は低下する。これは、リードピンが他製品と接触するため静電破壊等を引き起こすため実施不可である(文献:「表面実装形LSIパッケージの実装技術と信頼度向上」応用技術出版(株)、P226~227参照)。

【0007】 また、多ピン化に伴うソケットの大型化について搬送性を考慮していない。

【0008】 本発明の目的は、ソケットと半導体装置との位置合わせ精度を向上させることができること可能な技術を提供することにある。

【0009】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らか

になるであろう。

【0010】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0011】 すなわち、半導体装置のパッケージの外周辺部の所定位置に位置ずれ防止用切り込みを設ける。

【0012】 また、半導体装置のパッケージの外周辺部の所定位置に位置ずれ防止用突起(ピン)を設ける。

【0013】 また、半導体装置のパッケージの外周辺側面にV型の溝を設ける。

【0014】

【作用】 前述した手段によれば、半導体装置のパッケージの外周辺部の所定位置に位置ずれ防止用切り込み、もしくは位置ずれ防止用突起(ピン)を設けるか、又はパッケージの外周辺側面にV型の溝を設けることにより、半導体装置のリードとソケットとの合せ精度を向上させることができるので、パッケージの位置ずれによるコンタクト不良を低減することができる。

【0015】 また、位置ずれ防止用突起(ピン)の長さが半導体装置のリードピンの長さよりも長く(位置ずれ防止用突起(ピン)長>リードピン長)することにより、半導体装置の重ね合わせ運搬が実施可能となり、半導体装置挿入効率と作業効率を向上することができる。

【0016】 また、位置ずれ防止用突起(ピン)をパッケージに設けることにより、品種別のインデックスとしても利用できる。

【0017】 以下、本発明の構成について、実施例とともに説明する。

【0018】 なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0019】

【実施例】

(実施例1) 図1は、本発明の実施例1の半導体装置の外観構成を示す斜視図である。

【0020】 本実施例1の半導体装置は、図1に示すように、該半導体装置をソケットへ挿入する時、位置ずれを防止するために、パッケージ1の外周辺部の所定位置に位置ずれ防止用切り込み2が設けられている。3はリードピンである。

【0021】 図2は、本実施例1の半導体装置に対応するソケットの構成を示す斜視図であり、11はソケット本体、12は位置決めピン、13は半導体装置のリードピン挿入部である。

【0022】 前記位置ずれ防止用切り込み2とソケット本体11に設けられている位置決めピン12とを係合することにより、半導体装置をソケット本体11に挿入する時における位置ずれを防止することできるので、位置合わせ精度を向上することができる。

【0023】そして、前記半導体装置を収納する半導体装置収納器31は、図3に示すように、弾性を有する材料、例えばプラスチック等で構成される四角柱のスティク32とV型溝を有する角柱33とで三支柱からなっている。

【0024】また、前記位置ずれ防止用切り込み2に、図4に示すようなV型の溝4を設け、図5に示すように、前記スティク32のそれぞれにフック(突起)32Aと前記位置ずれ防止用切り込み2とをスティク32の弾性を利用して係合し、半導体装置を固定するようになっている。

【0025】(実施例2) 図6は、本発明の実施例2の半導体装置の外観構成を示す斜視図である。

【0026】本実施例2の半導体装置は、図6に示すように、該半導体装置をソケットへ挿入する時、位置ずれを防止するために、パッケージ1の外周辺部の角四隅の位置に、その長さが半導体装置のリードピン3の長さよりも長い(位置ずれ防止用突起長>リードピン長)位置ずれ防止用突起(ピン)61が設けられている。

【0027】図7は、前記本実施例2の半導体装置に対応するソケットの構成を示す斜視図であり、71はソケット本体、72は位置決めピン穴、73は半導体装置のリードピン挿入部である。

【0028】前記位置ずれ防止用突起(ピン)61とソケット本体71に設けられている位置決めピン穴72とを係合することにより、半導体装置をソケット本体71に挿入する時における位置ずれを防止することができるので、位置合わせ精度を向上することができる。

【0029】また、位置ずれ防止用突起(ピン)61の長さが半導体装置のリードピン3の長さよりも大きく(位置ずれ防止用突起(ピン)長>リードピン長)することにより、半導体装置の重ね合わせ運搬が実施可能となり、半導体装置挿入効率と作業効率を向上することができる。

【0030】また、位置ずれ防止用突起(ピン)61をパッケージに設けることにより、品種別のインデックスとしても利用できる。

【0031】(実施例3) 図8は、本発明の実施例3の半導体装置の外観構成を示す斜視図である。

【0032】本実施例3の半導体装置は、図8に示すように、該半導体装置をソケットへ挿入する時、位置ずれを防止するために、パッケージ1の外周辺側面にV型の溝81が設けられている。

【0033】このようにすることにより、前記実施例1と同様の効果を得ることができる。

【0034】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0035】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0036】半導体装置のリードとソケットとの合せ精度を向上させることができるので、パッケージの位置ずれによるコンタクト不良を低減することができる。

【0037】また、半導体装置の重ね合わせ運搬が実施可能となり、半導体装置挿入効率と作業効率を向上することができる。

【0038】また、位置ずれ防止用突起(ピン)をパッケージに設けることにより、品種別のインデックスとしても利用できる。

【図面の簡単な説明】

【図1】 本発明の実施例1の半導体装置の外観構成を示す斜視図。

【図2】 前記半導体装置に対応するソケットの構成を示す斜視図。

【図3】 前記半導体装置を収納する半導体装置収納器の外観構成を示す斜視図。

【図4】 前記半導体装置の要部斜視図。

【図5】 図3に示すスティクの要部斜視図。

【図6】 本発明の実施例2の半導体装置の外観構成を示す斜視図。

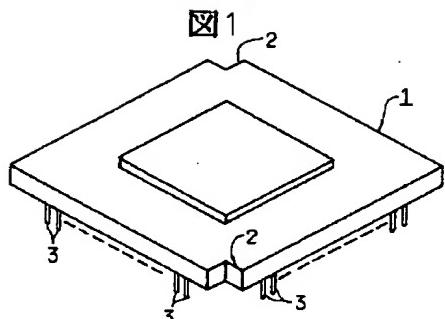
【図7】 前記半導体装置に対応するソケットの構成を示す斜視図。

【図8】 本発明の実施例3の半導体装置の外観構成を示す斜視図。

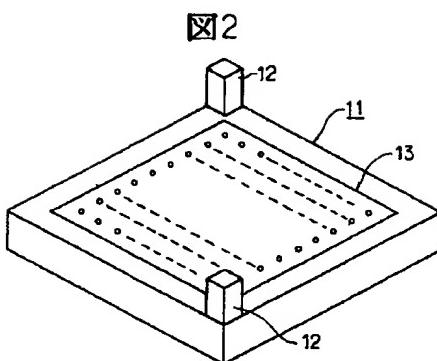
【符号の説明】

1…パッケージ、2…位置ずれ防止用切り込み、3…リードピン、11…ソケット本体、12…位置決めピン、13…ソケット部(リードピン挿入部)、31…半導体装置収納器、32…四角柱のスティク、32A…フック(突起)、33…V型溝を有する角柱、61…位置ずれ防止用突起(ピン)、71…ソケット本体、72…位置決めピン穴、73…ソケット部(リードピン挿入部)、81…V型の溝。

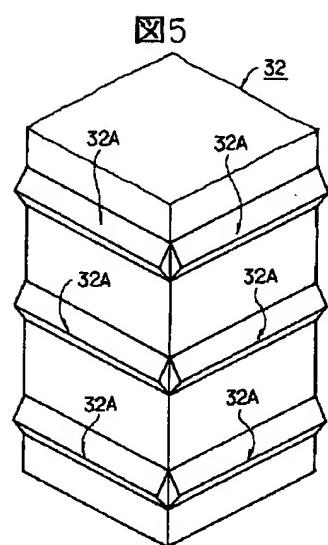
【図1】



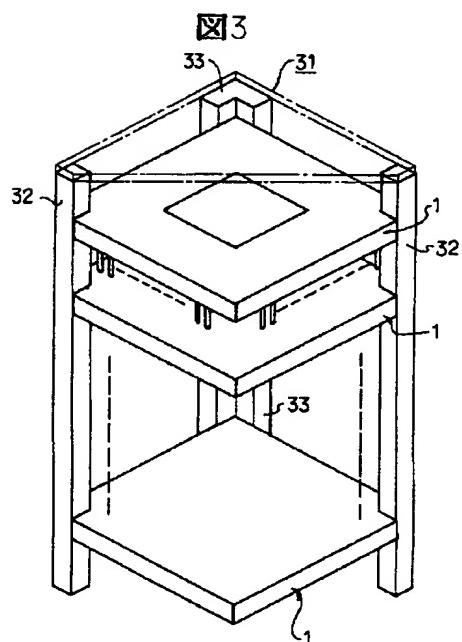
【図2】



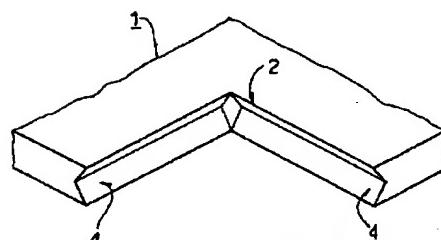
【図5】



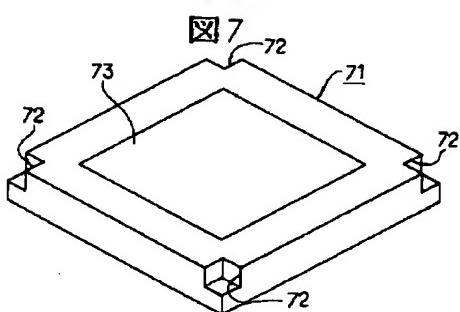
【図3】



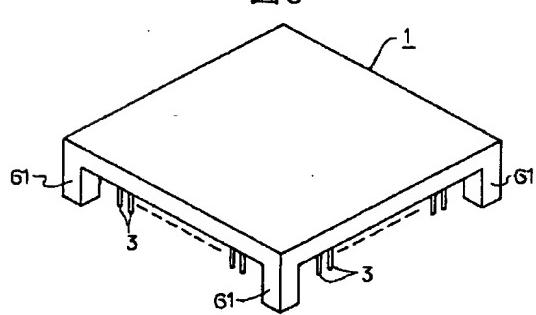
【図4】



【図7】



【図6】



【図8】

図8

